

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
Please do not report the images to the
Image Problem Mailbox.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-97528

(43)公開日 平成11年(1999)4月9日

(51)Int.Cl.⁸

H 01 L 21/768
21/3205

識別記号

F I

H 01 L 21/90
21/88

B
Z

審査請求 未請求 請求項の数24 O.L (全 16 頁)

(21)出願番号 特願平9-220369

(22)出願日 平成9年(1997)8月15日

(31)優先権主張番号 特願平9-196885

(32)優先日 平9(1997)7月23日

(33)優先権主張国 日本 (JP)

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 金村 龍一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者 篠原 啓二

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72)発明者 宮森 雄亮

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

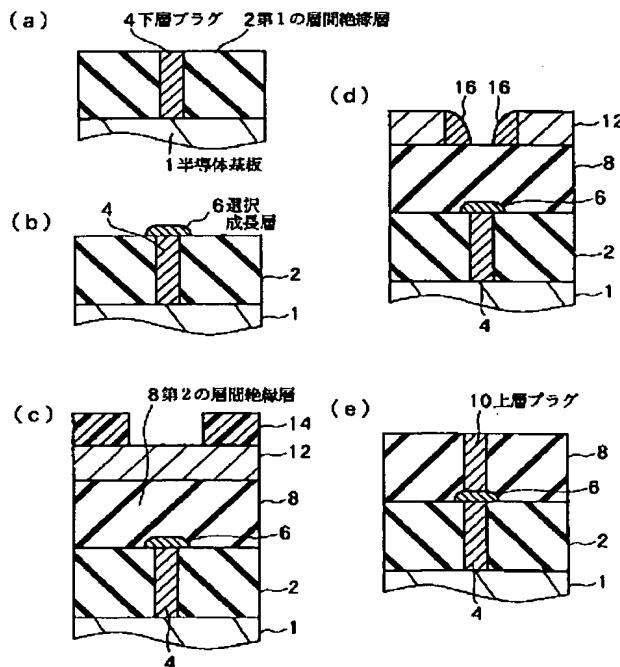
(74)代理人 弁理士 佐藤 隆久

(54)【発明の名称】 半導体装置及びその製造方法

(57)【要約】

【課題】スタック型の接続プラグについて、周辺の配線層の配置の自由度を制限しないで、上下層プラグ間の接觸面積を必要量確保或いは増大させる。また、ボーダレス配線構造におけるプラグと配線層の接觸面積を一定量確保する。

【解決手段】下層プラグ4と上層プラグ10との間に、選択成長層6が介在している。また、図示しない本発明の他の構成では、下層プラグが埋め込まれた第1の層間絶縁層上で第2の層間絶縁層との間に配線層を有し、上層プラグは、第2の層間絶縁層内の前記配線層の上面とほぼ同じ高さで前記下層プラグに接続されている。両プラグの接続面が第2の層間絶縁層の途中に位置することから、上層プラグの形状等に自由度が高い。さらに、図示しない他の構成では、ボーダレス配線構造のバリアメタルが主配線金属層の外側に延在し、この延在部分でプラグと接觸している。



【特許請求の範囲】

【請求項1】第1の層間絶縁層中に埋め込まれた下層プラグに対し、第1の層間絶縁層上の第2の層間絶縁層に埋め込まれた上層プラグを接続させてなるスタック型の接続プラグを有する半導体装置であって、前記下層プラグと前記上層プラグとの間に、選択成長層が介在している半導体装置。

【請求項2】前記選択成長層は、その上面の面積が前記下層プラグの上端面の面積より大きい請求項1に記載の半導体装置。

【請求項3】前記上層プラグの下端面の一部が前記選択成長層の外側にはみ出している場合に、当該上層プラグのはみ出し部分は、前記選択成長層下方に延在し、かつ当該選択成長層の裏面の一部に接触している請求項1に記載の半導体装置。

【請求項4】前記第2の層間絶縁層は、前記第1の層間絶縁層に比べフッ素ラジカルの反応性が低い材料から構成されている請求項3に記載の半導体装置。

【請求項5】第1の層間絶縁層中に埋め込まれた下層プラグと、第1の層間絶縁層上の第2の層間絶縁層に埋め込まれた上層プラグとを端面同士で接続させてなるスタッ�型の接続プラグを有する半導体装置であって、前記第1の層間絶縁層上で前記第2の層間絶縁層との間に積層された配線層を有し、前記上層プラグは、前記第2の層間絶縁層内の前記配線層の上面とほぼ同じ高さで前記下層プラグに接続されている半導体装置。

【請求項6】前記上層プラグの下端面が前記下層プラグ上端面の外側にはみ出している場合に、当該上層プラグのはみ出し部分は、下層プラグ上端面より下方に延在し、かつ当該下層プラグの上部側面に接触している請求項5に記載の半導体装置。

【請求項7】前記上層プラグの下端面は、その径が前記下層プラグの上端面より大きい請求項5に記載の半導体装置。

【請求項8】層間絶縁層中に埋め込まれたプラグと、当該層間絶縁層上で前記プラグに接続する配線層とを有し、

前記配線層が少なくとも最下層のバリアメタルと、当該バリアメタル上の主配線金属層とを有してなる半導体装置であって、

前記バリアメタルが、前記主配線金属層より外側に延在している半導体装置。

【請求項9】前記バリアメタルは前記主配線金属層より外側の全方位に延在し、

当該バリアメタルの延在部分上の前記主配線金属層の周壁に沿って、絶縁物からなるサイドウォールが形成されている請求項8に記載の半導体装置。

【請求項10】前記バリアメタルは前記プラグ上全面に延在し、当該プラグ上のバリアメタル部分が下地のプラ

グ材と合金化されている請求項8に記載の半導体装置。

【請求項11】第1の層間絶縁層中に下層プラグを埋め込むかたちで形成し、

前記第1の層間絶縁層上に第2の層間絶縁層を成膜した後、

上層プラグを、前記下層プラグに接続し、かつ前記第2の層間絶縁層に埋め込むかたちで形成する半導体装置の製造方法であって、

前記第1の層間絶縁層中に前記下層プラグを形成した

10 後、前記第2の層間絶縁層を成膜する前に、第1の層間絶縁層上に表出する下層プラグの上端面から選択成長層を成長させ、

前記上層プラグの形成に際し、上層プラグを前記選択成長層の上面に接続させる半導体装置の製造方法。

【請求項12】前記選択成長層は、その上面の面積が前記下層プラグの上端面の面積より大きくなるまで成長させる請求項11に記載の半導体装置の製造方法。

【請求項13】前記第2の層間絶縁層は、前記第1の層間絶縁層に比べフッ素ラジカルの反応性が低い材料から構成され、

20 前記上層プラグの形成では、前記第2の層間絶縁層に上層プラグ用のコンタクト孔を開口した後に、前記第1の層間絶縁層がエッチングされ、前記第2の層間絶縁層が殆どエッチングされない条件でオーバーエッチングを行う請求項11に記載の半導体装置の製造方法。

【請求項14】前記オーバーエッチングは、等方エッチングとなる条件で行う請求項13に記載の半導体装置の製造方法。

【請求項15】前記オーバーエッチング後、上層プラグ材30 料を前記コンタクト孔内に埋め込む際、マグнетロンスパッタ法又はCVD法を用いる請求項13に記載の半導体装置の製造方法。

【請求項16】下層プラグに上層プラグを端面同士で接続させてスタッ�型の接続プラグを形成する半導体装置の製造方法であって、

第1の層間絶縁層中に埋め込まれ、当該第1の層間絶縁層上方に一部突出する下層プラグを形成し、

当該下層プラグの突出部分とほぼ同じ高さの配線層を、前記第1の層間絶縁層上に形成し、

40 第2の層間絶縁層を全面に成膜した後、前記下層プラグ上に接続する上層プラグを、前記配線層上に接続するプラグと同時に第2の層間絶縁層内に形成する半導体装置の製造方法。

【請求項17】前記上層プラグの形成では、その下端面の径を前記下層プラグの上端面の径より大きくする請求項16に記載の半導体装置の製造方法。

【請求項18】前記上層プラグの形成では、前記第2の層間絶縁層に上層プラグ用のコンタクト孔をエッチングにより開孔する際、当該コンタクト孔が開孔されてから、続いてオーバーエッチングを行う請求項16に記載の

50

半導体装置の製造方法。

【請求項19】前記オーバーエッチングは、前記下層プラグに対し上層プラグが軸ずれした場合でも両プラグの端面同士が完全に離れない限り、両プラグの接触面積を一定量確保できる程度行う請求項18に記載の半導体装置の製造方法。

【請求項20】層間絶縁層中にプラグを埋め込んだかたちで形成した後、少なくとも最下層のパリアメタルと当該パリアメタル上の主配線金属層とを有してなる配線層を、前記層間絶縁層上で前記プラグに接続させて形成する半導体装置の製造方法であって、

前記配線層の形成に際し、配線層となる積層膜を成膜し、

前記バリアメタル上の前記主配線金属層をパターンニングし、

パターンニングした前記主配線金属層の側壁にサイドウォールを形成し、

形成したサイドウォールをマスクに下地の前記バリアメタルをパターンニングする半導体装置の製造方法。

【請求項 21】前記サイドウォールは、絶縁物からなる
請求項 20 に記載の半導体装置の製造方法。

【請求項22】層間絶縁層中にプラグを埋め込んだかたちで形成した後、少なくとも最下層のバリアメタルと当該バリアメタル上の主配線金属層とを有してなる配線層を、前記層間絶縁層上で前記プラグに接続させて形成する半導体装置の製造方法であって、

前記配線層となる積層膜を成膜し、
前記プラグ上面に接するバリアメタル部分に反応層を形

成し、
前記バリアメタル上の前記主配線金属層をパターンニングし、
表出した未反応層なバリアメタル部分を除去する半導体装置の製造方法。

【請求項 23】前記反応層は、熱処理またはイオンビームミキシング法により形成する請求項 22 に記載の半導体装置の製造方法。

【請求項 24】前記プラグの形成は、前記層間絶縁層にコンタクト孔を開孔した後、

プラグ材を全面に堆積して層間絶縁層上のプラグ材をエッチング若しくは化学的機械研磨法により選択的に除去するか、またはコンタクト孔内に選択的にプラグを形成することにより行う請求項22に記載の半導体装置の製造方法。

【発明の詳細な説明】

〔0001〕

【発明の属する技術分野】本発明は、下層プラグと上層プラグとからなるスタック型の接続プラグ、またはプラグと配線層との接続構造を有する半導体装置及びその製造方法に関する。特定的には、本発明は、プラグ同士またはプラグと配線層との接触面積を増大または一定量確

保する技術に関する。

[0 0 0 2]

【従来の技術】近年の大規模集積回路にみられるように、半導体装置の高集積化および高性能化が進展するのにともなってデバイスの微細化が進み、その最小線幅を決定するリソグラフィ工程における露光波長がますます短波長化している。現在の大規模な半導体集積回路の開発では、サブハーフミクロン領域のデザインルールのデバイスがターゲットになっている。サブハーフミクロン

10 領域の加工精度を確保するには、露光光源に例えれば KrF エキシマレーザ（波長：248 nm）を用いる必要があり、また絶縁膜の開口部（コンタクト孔）の径は0.3 μ m程度が要求される。コンタクト孔の深さは、デサインルールが厳しくなっても余り浅くならないことはない。このため、コンタクト孔の小径化にともなってコンタクト孔のアスペクト比は益々増大する傾向にあり、最近ではアスペクト比として5以上が要求される。

【0003】ところが、例えば最近のDRAM(Dynamic Random Access Memory)において記憶容量を256Mb
20 bitから1Gb bitに大容量化する過程で見られるように、今までのよう、リソグラフィ工程の露光波長を単に短くするやり方だけでは解像度が不足するようになってきている。そこで、プロセス技術を用いて、見かけ上の解像度を向上させる微細コントクト孔の形成方法が提案されている。

【0004】図10は、既に公知となっている微細コンタクト孔の形成方法を示す半導体装置の要部断面図である。まず、例えばシリコン基板100上に、層間絶縁膜として酸化シリコン膜102を成膜し、その上に例えば

30 リンを不純物として含むポリシリコン膜104を成膜する(図10(a))。つぎに、ポリシリコン膜104上にレジストを成膜し、例えばKrFエキシマレーザリソグラフィにより、その限界解像度でレジストに対しコンタクト孔形成のための露光を行う。これにより、ポリシリコン膜104上にレジストパターン106が形成される(図10(b))。レジストパターン106をマスクとして、下地のポリシリコン膜104をエッチングし予備コンタクト孔104aを形成する(図10(c))。この予備コンタクト孔104aの大きさは、KrFエキシマレーザリソグラフィの限界解像度で決まり、これより小さな径での形成は困難である。

【0005】この微細コンタクト孔の形成方法では、図10(d)に示すように、予備コンタクト孔104aの内壁に、ポリシリコンからなるサイドウォール108を形成し、予備コンタクト孔104aを小径化する。サイドウォール108の形成は、リン等を不純物として含むポリシリコン膜を全面に成膜し、これにRIE(Reactive Ion Etching)等の異方性エッチングを行うことにより達成される。図10(e)に示すように、このサイドウォール108およびポリシリコン膜104をマスク

として、下地の酸化シリコン膜102を異方性エッチングすると、シリコン基板100に達し、リソグラフィ解像度の限界を超えてシーリングされた微細コンタクト孔102aが形成される。

【0006】その後は、微細コンタクト孔102a内にプラグ材を埋め込み、これをポリシリコン膜104およびサイドウォール108とともにエッチバックするか、CMP(Chemical Mechanical Polishing)等で平坦化する。これにより、図10(f)に示すように、酸化シリコン膜102に埋め込まれた微細な接続プラグ110が形成される。

【0007】

【発明が解決しようとする課題】ところが、いわゆるスタック型の接続プラグの形成に、このフォトリソグラフィの解像度限界を超えて小径化する接続プラグ形成手法を適用した場合、この手法で形成された微細な下層プラグに対する上層プラグの合わせずれが問題となる。

【0008】図11は、このスタック型の接続プラグにおける合わせずれの説明図である。スタック型の接続プラグは、第1の層間絶縁層120内に埋め込み形成された下層プラグ122と、その上に接続され、第2の層間絶縁層124内に埋め込み形成された上層プラグ126とから構成される。図11(a)では両プラグ122, 126の合わせずれが全く無い場合を示すが、上層プラグ形成用コンタクト孔を開口する工程でフォトマスクのアライメントの際に、そのアライメント精度に応じて、図11(b)および図11(c)に示すように、プラグの軸ずれが生じることがある。図11(b)の場合は、下層プラグ122に対しある程度、上層プラグ126が重なっているが、この重なり量によっては、この接続部分が高抵抗化することがある。図11(c)に示すように、更にアライメント精度が悪くプラグの直径以上の軸ずれが生じると、もはやプラグ同士が重ならずに電気的な導通が得られなくなり、完全な接続不良となってしまう。

【0009】このような事態を防止できる接続プラグとして、上下層のプラグ間に接続パッドを介在させて、上層プラグが接続すべき面積を拡大した中間パッド付きのスタック型接続プラグがある。

【0010】図12は、中間パッド付きのスタック型接続プラグを、周囲の配線層を介した接続部分とともに示す、従来の半導体装置の要部断面図である。図12中、符号100aはn型シリコン基板100内に形成されたp型不純物領域、100bはn型不純物領域、130は素子分離絶縁膜、132は第1配線層、134, 136は第1配線層132を介して接続される第1及び第2の接続プラグ、138は第2配線層を示す。

【0011】中間パッド付きの接続プラグは、第1の層間絶縁層120に形成された下層プラグ122と、第2の層間絶縁層124に形成された上層プラグ126との

間に、前記第1配線層132と同時形成される中間パッド140を有している。この構成の接続プラグでは、上層プラグ126を埋め込むコンタクト開孔時のアライメントを、中間接続パッド140の上面に対して行えばよく、このため上下層プラグ122, 126の接続不良に対するアライメントマージンが拡大されている。中間パッド140は、上下層プラグ122, 126を接続するためだけに利用するものあり、この存在が周囲の配線層(例えば、配線層132)の配置の自由度を制限することから、上層プラグ126の必要なアライメントマージンが確保できれば、できるだけ小さいほうが望ましい。

【0012】しかし、中間パッド140を縮小化すると、アライメントマージンを確保する必要面積に達する前に、リソグラフィ技術における近接効果、或いは解像度限界に起因した限界に達し、配線層の隣りに微小パターンを形成することが困難であるといった課題があった。

【0013】図13は、この配線層の隣りに形成できる微小パターンの大きさを説明する図である。図13

20 (a)に示すように、一辺が1.0μmのマスクパターンAを転写形成したレジストパターンA'は、近接効果或いは解像度限界により角が丸まってしまう。一辺が0.7μmのマスクパターンBの場合(図13(b))、そのレジストパターンB'の丸み同士がつながり、直径がおよそ0.5μm程度の円形になる。さらに一辺が0.5μmのマスクパターンCでは、図13(c)に示すように、もはやレジストパターンが形成されない。しがって、上端面の直径が0.4μmの下層プラグ122上に孤立した中間パッド140を安定に形成するには、下層プラグ122に対する重ね合せ余裕を考慮すると、中間パッドのマスクパターン(設計値)は、その一辺が0.8μmは必要であり、下層プラグ122の倍以上の大きさが必要であった。

【0014】一方、このような方法により形成された接続プラグ上に形成される配線層についても微細化要求が強く、この場合、接続プラグと配線層とのアライメントずれが問題となる。この問題を回避するための技術として、例えば「電子情報通信学会 技術研究報告SDM9

40 4-180p49~p54」には、ボーダレス配線構造が提案されている。ボーダレス配線構造が提案される以前の配線構造では、配線層を下層のプラグとの接続部分で幅広にして、両者のアライメントずれが生じた場合でも配線層とプラグとの接続が十分に行えるような構成としている。このため、以前の配線構造では、この幅広な接続部分が集積度を律束して無駄なスペースの発生を余儀なくされていた。ボーダレス配線構造は、この配線層のプラグとの接続のための幅広部分をなくし、接続プラグと配線層との被り余裕(カバーマージン)をほぼゼロとしたものである。

【0015】図14(a)～(g)は、ボーダレス配線構造の製造過程を示す断面図である。図14(a)では、半導体基板(又は、導体配線)140上に層間絶縁層142を成膜した後、層間絶縁層142にコンタクト孔142aを形成する。図14(b)では、層間絶縁層142の表面とコンタクト孔142aによる半導体基板140の表表面を覆う全面に、密着メタルとして例えばTi/TiN膜144を、例えばマグネトロンスパッタリング法により成膜する。また、ランブアニーリングを施した後、タンクステン膜146を、熱CVD法により全面に成膜する。続く図14(c)では、全面異方性エッチングにより、タンクステン膜146およびTi/TiN膜144の表面部分を除去する。これにより、プラグ148が層間絶縁層142に埋め込み形成される。

【0016】つぎに、図14(d)に示すように、プラグ148および層間絶縁層142上に配線層となる膜を成膜する。この膜は、例えば、バリアメタルとしてのTi/TiN膜150、主配線層としての0.5%Cu含有Al膜152、キャップメタルとしてのTiN膜154の3層膜とする。TiN膜154上に、配線層パターンを転写したフォトレジストパターン156を形成し(図14(e))、このレジストパターン156をマスクとして下地の3層膜を異方性エッチングする。これにより、配線層158が形成される(図14(f))。その後、図14(g)に示すように、レジストパターン156を除去すれば、プラグ148と配線層158との接続が終了する。

【0017】ところが、このように形成されるボーダレス配線構造では、レジストパターン156のアライメントずれがあると、プラグ148と配線層158との接触面積が小さくなる。とくに、配線層幅をプラグ上面(開口面)の径以下とするフルボーダレスの場合では、僅かなアライメントずれでもプラグ148と配線層158との接触面積低下は避けられない。接触面積が小さくなると、特に下地のプラグ148が表出する部分で、フォトリソグラフィのパターンニング時のハレーションが大きくなり、また、配線加工時のサイドエッチング或いは後処理によるバリアメタルの溶出等が起こり易くなることから、プラグ148と配線層158とのコンタクト抵抗が変動しやすくなり、抵抗値そのものも増大する。

【0018】本発明は、かかる実情に鑑みてなされたものであり、その目的の一つは、周辺の配線層の配置の自由度を制限しないで、下層プラグに対する上層プラグの接触面積を必要量確保、或いは増大したスタック型の接続プラグを有する半導体装置及びその製造方法を提供することにある。また、本発明の他の目的は、いわゆるボーダレス配線構造におけるプラグと配線層との接触面積の低下を防止した半導体装置及びその製造方法を提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するため、本発明に係る半導体装置では、第1の層間絶縁層中に埋め込まれた下層プラグに対し、第1の層間絶縁層上の第2の層間絶縁層に埋め込まれた上層プラグを接続させてなるスタック型の接続プラグを有する半導体装置であって、前記下層プラグと前記上層プラグとの間に、選択成長層が介在していることを特徴とする。

【0020】好ましくは、前記上層プラグの下端面の一部が前記選択成長層の外側にはみ出している場合に、当該上層プラグのはみ出し部分は、前記選択成長層下方に延在し、かつ当該選択成長層の裏面の一部に接触している。この接触面積を増大させる構成を達成するには、前記第2の層間絶縁層を、前記第1の層間絶縁層に比べフッ素ラジカルの反応性が低い材料から構成させ、前記上層プラグの形成では、前記第2の層間絶縁層に上層プラグ用のコンタクト孔を開口した後に、前記第1の層間絶縁層がエッチングされ、前記第2の層間絶縁層が殆どエッチングされない条件でオーバーエッチングを行うとよい。このオーバーエッチングは、等方エッチングとなる条件で行い、またオーバーエッチング後、上層プラグ材料を前記コンタクト孔内に埋め込む際、マグネトロンスパッタ法又はCVD法を用いると、接触面積増大の面から好ましい。

【0021】以上のように構成される本発明の半導体装置では、下層プラグ上に自己整合的に選択成長層が選択形成されている。この選択成長層は、従来の中間パッドに該当し、上層プラグのアライメント余裕を拡大する役割を果たすものである。本発明における選択成長層(中間パッド)は、フォトリソグラフィ技術を用いずに形成できることから、従来問題となっていた近接効果や解像度限界による制限を受けずに、選択成長量を制御することにより、その大きさを如何ようにもできる。また、上層プラグのコンタクト開孔時のオーバーエッチングによって、当該選択成長層と上層プラグとの接触面積を増大させることができる。

【0022】スタック型の接続プラグに関する本発明の他の形態の半導体装置では、第1の層間絶縁層中に埋め込まれた下層プラグと、第1の層間絶縁層上の第2の層間絶縁層に埋め込まれた上層プラグとを端面同士で接続させてなるスタック型の接続プラグを有する半導体装置であって、前記第1の層間絶縁層上で前記第2の層間絶縁層との間に積層された配線層を有し、前記上層プラグは、前記第2の層間絶縁層内の前記配線層の上面とほぼ同じ高さで前記下層プラグに接続されていることを特徴とする。

【0023】前記上層プラグの下端面は、好ましくは、その径が前記下層プラグの上端面より大きい。

【0024】また、好ましくは、前記上層プラグの下端面が前記下層プラグ上端面の外側にはみ出している場合に、当該上層プラグのはみ出し部分は、下層プラグ上端

50

面より下方に延在し、かつ当該下層プラグの上部側面に接触している。この接触面積を増大させる構成を達成するため、前記上層プラグの形成では、前記第2の層間絶縁層に上層プラグ用のコンタクト孔をエッチングにより開孔する際、当該コンタクト孔が開孔されてから、続いてオーバーエッチングを行うことが好ましい。このオーバーエッチングは、好ましくは、前記下層プラグに対し上層プラグが軸ずれした場合でも両プラグの端面同士が完全に離れない限り、両プラグの接触面積を一定量確保できる程度行うとよい。

【0025】以上のように構成される本発明の半導体装置では、上下層プラグの間に中間パッド該当する層は介在させないことから、周囲の配線層について、その配置の自由度が増す。また、この半導体装置では、上下層プラグの接続面が配線層の高さだけ従来より上方に移動されている。一般に、多層配線構造では、上層側ほど配線の形状および配置の自由度が増す。これと同様なことが当該半導体装置についても言え、上下層プラグの接続面を上方に移動させることによって、例えば上層プラグの径を大きくしても配線層の配置について余り大きな制限とならない。したがって、本発明では下層プラグに対するアライメント余裕または接触面積を一定量確保することが容易である。また、上層プラグのコンタクト開孔時のオーバーエッチングによって、当該上層プラグと下層プラグとの接触面積を増大させることができる。

【0026】一方、ボーダレス配線構造に関する本発明の半導体装置では、層間絶縁層中に埋め込まれたプラグと、当該層間絶縁層上で前記プラグに接続する配線層とを有し、前記配線層が少なくとも最下層のパリアメタルと、当該パリアメタル上の主配線金属層とを有してなる半導体装置であって、前記パリアメタルが、前記主配線金属層より外側に延在していることを特徴とする。パリアメタルを主配線金属層より外側に延在させる方法には、サイドウォールをエッチングマスクとする方法と、プラグと合金化する方法がある。

【0027】このように構成される本発明の半導体装置では、配線層を例えばフォトリソグラフィの解像限界で形成した場合であっても、プラグと配線層との接触面積を一定量確保できる。また、その方法も簡単である。サイドウォールによる場合は、配線層のエッチングを主配線金属層まで一旦止め、絶縁膜の成膜と異方性エッチングを追加した後、パリアメタルのエッチングを行う。合金化による場合は、配線層のエッチングに先立って熱処理を行うか、パリアメタルを表出させた状態でイオンミキシングを行うだけよい。何れの場合も、新たにフ

導入ガス : SiH₂Cl₂/HCl = 100 sccm/2 sccm

基板温度 : 1000°C

圧力 : 大気圧

【0034】この条件下、選択成長層6は等方的に形成される。その上面視の直径は、選択成長(CVD)時間

オトマスクを追加する必要はない。

【0028】

【発明の実施の形態】以下、本発明に係る半導体装置及びその製造方法を、図面を参照しながら詳細に説明する。

【0029】第1実施形態

図1は、本実施形態に係る半導体装置の構造、及び製造方法を示す断面図である。また図2は、選択成長層を設けたことによる効果を示す断面図である。

10 【0030】図1(e)に示すように、本実施形態に係る半導体装置では、下側接続対象物、例えば半導体基板1の上に第1の層間絶縁層2が成膜されている。第1の層間絶縁層2内に、半導体基板1に下端面を接続する下層プラグ4が埋め込み形成されている。下層プラグ4の材料に限定はないが、本例では、リン等の不純物が導入されて導電化されたポリシリコン(以下、Doped Poly-Si)からなる。下層プラグ上には、その上端面から自己整合的に等方成長した選択成長層6が設けられている。選択成長層6は、下層プラグ4から選択CVD又はエピタキシャル成長により形成される。選択成長層6上には、第2の層間絶縁層8が成膜されている。第2の層間絶縁層8内には、選択成長層6に接続する上層プラグ10が埋め込み形成されている。上層プラグ10の材料として、Doped Poly-Siのほか、W等の高融点金属が選択できる。この上層プラグ10上には、特に図示しないが、上側接続対象物、例えば配線層が形成されている。

【0031】このような構成の半導体装置の製造方法では、まず、図1(a)に示すように、半導体基板1上に第1の層間絶縁層2を成膜し、この第1の層間絶縁層2内に下層プラグ4を埋め込み形成する。この形成法は、ここでは特に詳述しないが、通常のプラグ形成技術、すなわちプランケットプラグ形成法または選択プラグ形成法のほか、図7に示し先に記述したフォトリソグラフィ解像度限界以下の微細なプランケットプラグの形成法を採用できる。このほか、図7のシュリンクマスク層104および108を絶縁材料で構成し、選択CVD法等を用いることにより、微細コンタクト孔102aを介して表面に露出する半導体基板101に選択的にプラグ材を形成することも可能である。

30 【0032】つぎに、第1の層間絶縁層2の表面に露出する下層プラグ4の上端面に対し、選択成長層6を形成する。この選択成長層6の形成は、例えば次表に示す条件を用いた常圧CVD法により達成できる。

【0033】

【表1】

に依存し、ここでは例えば下層プラグ4の上端面の径の2倍程度とする。選択成長層6の導電化は、CVD時に

不純物ガスを添加する、或いはCVD後に例えればリンイオン(P^+)をイオン注入することにより達成できる。イオン注入の条件は、特に限定されないが、例えは、その注入エネルギーを40keV、不純物導入量を 5×10^{14} atoms/cm²程度とする。

【0035】図1(c)では、まず、選択成長層6上に、例えは酸化シリコンからなる第2の層間絶縁層8をCVD法により成膜する。つぎに、この第2の層間絶縁層8に上層プラグを埋め込むための上部コンタクト孔を形成する。この形成は、通常のコンタクト孔形成法でもよいが、ここでは先に記述したと同様、微細コンタクト形成技術を用いている。すなわち、第2の層間絶縁層8上に、例えはDoped Poly-Siからなるシュリンクマスク層12を成膜し、シュリンクマスク層12上に、予備コンタクト孔の形成部分(即ち、選択成長層6の上方)で開口するレジストパターン14を形成する。

【0036】続く図1(d)では、レジストパターン14をマスクにして、下地のシュリンクマスク層12を、例えはECRタイプのエッティング装置を用いてエッティングし、これに予備コンタクト孔14aを形成する。このエッティングの条件は、特に限定はないが、例えは次表に示す条件を用い得る。

【0037】

【表2】

導入ガス	$O_2 / Cl_2 = 2 \text{ sccm} / 150 \text{ sccm}$
基板温度	0 °C
圧力	1.0 Pa
マイクロ波出力	1200W
RFバイアス	100W (800kHz)

【0038】レジストパターン14を除去した後、例えはDoped Poly-Siをもう一層形成し、RIE等の異方性エッティングを行って、予備コンタクト孔14aの内壁にサイドウォール16を形成する。

【0039】図1(e)では、まず、このサイドウォール16およびシュリンクマスク層12をエッティングマスクとして、下地の第2の層間絶縁層8をエッティングし、選択成長層6に達する上部コンタクト孔を開孔する。このエッティングでは、例えはマグネットロン型のエッティング装置を用いる。エッティング条件は、特に限定はないが、例えは次表に示す条件を用い得る。

【0040】

【表3】

導入ガス	$CHF_3 / CO = 20 \text{ sccm} / 180 \text{ sccm}$
圧力	4.0 Pa
RFパワー	1400W

【0041】つぎに、上部コンタクト孔内を完全に埋め込む上層プラグ材、例えはDoped Poly-Siの膜を成膜し、このDoped Poly-Si膜、シュリンクマスク層12およびサイドウォール16の第2の層間絶縁層8上の部分をエッチバックにより除去するか、上面側からCMP等

の平坦化手法を用いて研磨する。これにより、図1(e)示す、選択成長層6と、これを挟んだ上下層プラグ4,10により、スタック型の接続プラグが完成する。エッチバックの条件としては、例えは、次表に示す条件を用い得る。

【0042】

【表4】

導入ガス	$HBr / Cl_2 = 20 \text{ sccm} / 50 \text{ sccm}$
基板温度	0 °C
圧力	1.0 Pa
マイクロ波出力	1200W

RFバイアス 100W (800kHz)

【0043】その後は、上層プラグ上に、例えは配線層を形成すると、当該半導体装置のコンタクト形成工程が終了する。

【0044】以上述べてきた本実施形態の半導体装置の構成、及びその製造方法では、選択成長層6が上下層プラグ4,10間に介在するので、例えは図2(a)に示すように、上部コンタクト開孔時のアライメント合わせで上下層プラグ4,10の軸ずれが直径の1/2程度起つた場合でも、図1(e)に示す軸ずれがないときとほぼ同等な接触面積が得られ、この部分での高抵抗化を有効に防止できる。また、図2(b)に示すように、更に軸ずれが大きく従来では接続不良となる場合であっても、選択成長層6によって上下層プラグ4,10の導通を確保できる。このような選択成長層6は、下層プラグ4に対し自己整合的に形成でき、その成長量を変えることで大きさの制御が任意であり、制御性も高い。これは、従来の中間パッドをフォトリソグラフィ技術で形成する場合に比べ、中間パッドと同様な役目の選択成長層6を必要最小限に小さくして、周囲の配線層および他のプラグの配置の自由度を制限しない利点がある。この意味では、選択成長層6の直径は、下層プラグ4上面の直径の2倍以下が望ましい。

【0045】上記説明では、上部コンタクト開孔工程のエッティングの際、特にオーバーエッティング量について言及しなかったが、本実施形態では、このオーバーエッティング量を制御することによっても、接触面積の確保或いは拡大が容易化される。

【0046】図3は、このオーバーエッティングを行う場合を示す断面図である。ここで、図3(a)は、上部コンタクト開孔後、図3(b)は上層プラグ形成後の様子を示す断面図である。図3(a)では、まず、第2の層間絶縁層8を、例えは先の【表3】に示す異方性エッティング条件で開孔し、続けて、等方エッティングの条件に切り替えて所定量のオーバーエッティングを行う。これにより、選択成長層6の傘部の下側部分で第1の層間絶縁層2が等方的にエッティングされる。この等方エッティング時に、先に形成した上部コンタクト孔部分を拡径させなことが望まれる場合には、この等方エッティングに耐え

うるようすに、第2の層間絶縁層8の材料をフッ素ラジカルの反応性が低いものに限定する必要がある。

【0047】このような2段エッティング後、段差被膜性の高い成膜装置、成膜条件を用いて上層プラグ材を成膜し、上述した方法でエッチバックまたはCMPすれば、図3(b)に示すように、選択成長層6との接触面積が、より大きな上層プラグ10を形成することができる。

【0048】なお、プラグ4、10を構成する導電材料としては、上記説明で例示したDoped Poly-Siのほかに、アモルファスシリコンでもよい。また、W、Al、Cu、Ti等を含有する金属、さらにTi、W、Mo等の高融点金属とSiとの化合物、即ちシリサイド化合物でもよい。また、選択成長層6の材料も、上記説明に限定されず、例えばW、Cu等の金属であってもよい。

【0049】本実施形態では、先に記述したように、選択成長層6を下層プラグ4に対して自己整合的に形成でき、従って両者のずれは殆どない。また、選択成長層6を設けたことによって、上部コンタクト開孔時のフォトマスク合わせずに対する余裕が生じる。これらによって、接続部における高抵抗化が有効に防止されて当該半導体装置の特性が安定し、また接続不良の発生が低減して歩留りが向上する効果が得られる。また、選択成長層6の大きさの制御が任意であり、その制御性も高い。このため、選択成長層6の大きさを上記効果が得られる必要最小限に抑えれば、周囲の配線層や他のプラグの配置の自由度を制限することなく、従来の中間パッドを設けた場合に比べ、半導体装置の高集積化を図ることも可能である。

【0050】第2実施形態

本実施形態は、中間パッド（配線層と同時形成されるパッド、選択成長層等）を設けることなく、上下層プラグの接続箇所を、従来より上層側で周囲からの制約を余り受けない領域に設けることにより、集積度を犠牲にすることなく上下層プラグの接触面積の増大をし易くするものである。

【0051】図4、図5は、本実施形態に係る半導体装置の構造、及び製造方法を示す断面図である。図5(e)中、符号20は半導体基板、20a、20bは半導体基板に形成された不純物領域、21は素子分離絶縁膜、22は第1の層間絶縁層、28は第2の層間絶縁層を示す。この図示例の半導体装置では、半導体基板20上の第1の層間絶縁層22内に、下層プラグ24および第1プラグ25が埋め込み形成されている。両プラグ24、25は、第2の層間絶縁層28内の途中の同じ高さまで延びている。下層プラグ24上には上層プラグ30が接続され、これによりスタック型の接続プラグが形成されている。また、第1プラグ25は、配線層26に電気的に接続されている。配線層26の上面には、第2の層間絶縁層28内で前記上層プラグ30と同時形成され

る同じ長さの第2プラグ31が接続されている。第2の層間絶縁層28上には、上部配線層32、32が設けられ、それぞれが前記上層プラグ30または第2プラグ31の上端面に接続している。

【0052】このような構成の半導体装置では、従来のような中間パッドがスタック型の接続プラグに設けられていないことから、下層プラグ24により周囲の配線層26の配置の自由度が余り制限されない。すなわち、下層プラグ24と配線層26との距離を絶縁分離するのに

10 必要な最低限の距離まで近づけることができる。一方、上層プラグ30も周囲に邪魔されずに形状の自由度が大きなものとなる。一般に、プラグの形状は上方にいくほど拡径した逆円錐を切り出したような形状をしている。このような上方側ほど大径なプラグ形状でも、本半導体装置では上方側ほど周囲に邪魔なものがないので、例えば上層プラグ30を下層プラグ24より大径化することが可能であり、それだけ上下層プラグ24、30間の接觸面積を増大することが可能となる。また、上層プラグ30のアスペクト比を小さくできる。

20 【0053】つぎに、このような構成の半導体装置の製造方法について、図4および図5を用いて説明する。図4(a)では、常法にしたがって、半導体基板20に素子分離領域21を形成し、またp型不純物領域20aおよびn型不純物領域20bを形成する。不純物領域20a、20bの活性化アニーリング後、全面に第1の層間絶縁層22を例えれば常圧CVD法により成膜する。必要に応じて絶縁膜の熱処理を行った後、各不純物領域20a、20bの上方でそれぞれ開口するレジストパターン23を第1の層間絶縁層22上に形成する。これらの作

30 製条件に限定はないが、一例として、次表には不純物領域20aと20bの形成条件、第1の層間絶縁層22の成膜条件、および熱処理条件をまとめて示す。

【0054】

【表5】・p型不純物領域形成：B⁺ イオン注入 (500KeV、 5×10^{12} ions/cm²)

・n型不純物領域形成：As⁺ イオン注入 (35KeV、 5×10^{15} ions/cm²)

・活性化アニール：縦型拡散炉アニール（温度：900°C、導入ガス：N₂、時間：10min）

40 ・第1の層間絶縁層形成：常圧CVD法（導入ガス（TEOS:60sccm, TMP0:15sccm, TEB:15sccm）、基板温度：520°C、導入不純物（B: 2wt%，P: 5wt%）、膜厚：1800nm）

・絶縁膜熱処理：縦型拡散炉アニール（温度：750°C、導入ガス：N₂、100%、時間10min）

【0055】図4(b)では、まず、レジストパターン23をマスクとして、下地の第1の層間絶縁層22をRIE等で異方性エッティングし、下部コンタクト孔22aを形成する。レジストパターン23を除去した後、スパッタリング法により露出表面を薄い密着層メタル（例え

ば、TiN膜を30nmほど)で被膜し、次いでプラグ構成材、例えばW等の膜24aを熱CVD法等により(例えば、60nmほど)成膜する。これらの加工および成膜条件は、特に限定はないが、一例を次表に示す。

【0056】

【表6】・下部コンタクト孔形成:RIE法(導入ガス:CO/CHF₃=200sccm/1000sccm、温度:-30°C、圧力:5.3Pa、RFパワー:1200W)

・密着層メタルのスパタリング:(導入ガス:N₂/Ar=42sccm/21sccm、温度:300°C、圧力:0.78Pa、RFパワー:6kW)

・プランケットWCVD:(導入ガス:WF₆/H₂/Ar=40scm/400sccm/2250sccm、温度:450°C、圧力:10.7kPa)

【0057】続く図5(c)では、全面異方性エッティングによりW等の膜24aの上部を除去し、下層プラグ24および第1プラグ25を、各下部コンタクト孔22a内にそれぞれ埋め込まれたかたちで分離形成する。その後、第1の層間絶縁層22のエッティング条件で全面異方性エッティング(エッチバック)を行い、第1の層間絶縁層22の上層部分を除去する。これらのエッティング条件に、特に限定はないが、一例を次表に示す。

【0058】

【表7】・埋め込みプラグ分離形成:

1st Step(W Etch):(導入ガス:WF₆/Ar/He=110sccm/90sccm/5sccm、圧力:45.5Pa、RFパワー:275W)

2nd Step(TiN Etch):(導入ガス:Ar/Cl₂=75sccm/5scm、圧力:6.5Pa、RFパワー:250W)

3rd Step(W Over Etch):(導入ガス:WF₆/Ar/He=20sccm/10sccm/10sccm、圧力:32.5Pa、RFパワー:70W)

・層間絶縁層のエッチバック:(導入ガス:C₂F₈=50sccm、圧力:2Pa、RFパワー:1200W)

【0059】図5(d)では、プラグ24, 25の上部が第1の層間絶縁層22の上面より突出した状態で、配線層となる配線材料をマグネットロンスパッタ法により全面に成膜する。この配線層となる膜は、下層からバリアメタル(例えば、Ti/TiN=20nm/20nm)、主配線膜(例えば、Al-5%Cu等のAl系合金膜:500nm)、キャップメタル(例えば、Ti/TiN=10nm/100nm)の3層膜構造とする。その後、この3層膜をフォトリソグラフィ技術と異方性エッティングによりパターンニングする。これにより、配線層26が、第1プラグ25周囲に接続したかたちで形成される。これらの成膜および異方性エッティングの条件に特に限定はないが、一例を次表に示す。

【0060】

【表8】・配線層となる膜の成膜:

バリアメタル:Ti(導入ガス:Ar=35sccm、圧力:0.52Pa、RFパワー:2kW、温度:300°C)

TiN(導入ガス:N₂/Ar=42sccm/21sccm、圧力:0.78Pa、RFパワー:6kW、温度:300°C)

主配線膜:(導入ガス:Ar=65sccm、圧力:0.52Pa、RFパワー:15kW、温度:300°C)

キャップメタル:Ti(導入ガス:Ar=35sccm、圧力:0.52Pa、RFパワー:2kW、温度:300°C)

TiN(導入ガス:N₂/Ar=42sccm/21sccm、圧力:0.78Pa、RFパワー:6kW、温度:300°C)

・配線層形成:RIE(導入ガス:BCl₃/Cl₂=100sccm/150sccm、圧力:1Pa、マイクロ波電流:400mA、RFパワー:110W、40%オーバーエッティング)

【0061】図5(e)では、第2の層間絶縁層28を成膜し、先の下層プラグ24等の形成時と同様な方法により、この第2の層間絶縁層28内で、下層プラグ24上に接続する上層プラグ30と、配線層26の上面に接続する第2プラグ31を埋め込み形成する。すなわち、第2の層間絶縁層28に上部コンタクト孔を開口し、この上部コンタクト孔をプラグ材を埋め込み、これをエッチバック各プラグ24, 25を分離形成する。この上部

20 コンタクト孔形成、プラグ材成膜は、先の【表6】と略同様な条件で行い得る。また、プラグ材のエッチバックは、先の【表7】と略同様な条件で行い得る。第2の層間絶縁層28は、例えばプラズマTEOS法により成膜した酸化シリコン膜から構成され、その膜厚は、例えば500nmほどである。この第2の層間絶縁層28の成膜条件例を、次表に示す。

【0062】

【表9】第2の層間絶縁層形成:プラズマTEOS法

(導入ガス:TEOS/O₂=800sccm/600sccm、基板温度:400°C、圧力:1133.2Pa、RFパワー:700W)

【0063】その後、第2の層間絶縁層28上のプラグ上端面に接続したかたちで、上部配線層32, 32を分離形成する。この上部配線層32の形成は、フォトリソグラフィ技術とRIE等の異方性エッティングにより行う。このときのRIE条件は、先の【表8】と略同じ条件を用い得る。

【0064】以上述べてきた本製法では、下層プラグ24と第1プラグ25、及び上層プラグ30と第2プラグ31がそれぞれ同じ高さを有し、それぞれの組が同時形

40 成されるので、同様な形状で安定したプラグ形成が可能である。一般に、高さが異なるプラグ用コンタクト孔の同時開孔工程では、深い方のプラグ形成のエッティング条件で行うから、浅い方のコンタクト孔に対しかなりオーバーエッティングされることとなる。本製法では、同時形成されるプラグの高さが揃っており、このためプラグ形状が安定している。とくに、下層プラグ24との接触面積確保が重要となる上層プラグ30が従来よりも短くて済む。また、上層プラグ30の周囲に配線層がないことから、例えば上層プラグ30を大径化する等の接触面積拡大が容易である。以上の理由により、本製法を用いて

スタック型の接続プラグを安定に、かつ特性劣化（高抵抗化、接続不良）を防止しながら形成できる。

【0065】上記説明では、上部コンタクト開孔工程のエッティングの際、特にオーバーエッティング量について言及しなかつたが、本実施形態においても、第1実施形態と同様、このオーバーエッティング量を制御することによっても、接触面積の確保或いは拡大が容易化される。

【0066】図6は、このオーバーエッティングの効果を示す断面図である。ここで、図6(a)は、上下層プラグの軸ずれがない場合、図6(b)は下層プラグに対し上層プラグがその半径ほどずれた場合、図6(c)は下層プラグに対し上層プラグがその直径分ずれた場合を示す断面図である。これらの図から明らかなように、上部コンタクト開孔時のオーバーエッティング量を制御することにより、両プラグ24, 30が完全に離れない限りは、軸ずれがない図6(a)と同等な接触面積を、図6(b)および図6(c)の場合で確保することができる。これにより、より一層、特性（コンタクト抵抗値）が安定し、信頼性が向上する。

【0067】なお、本実施形態の半導体装置では、スタック型の接続プラグの接続面が配線層の上面とほぼ同じ高さに形成されることに特徴があり、他の構成、例えば配線層26の構造および配置、第1および第2プラグ25, 31の接続位置、半導体基板20の不純物構造等に限定はない。また、上述した製造条件も一例に過ぎない。各種プラグ24, 25, 30, 31の材料も、上記説明で例示したW等のほかに、Doped Poly-Si、アモルファスシリコンでもよい。また、W, Al, Cu, Ti等を含有する金属、さらにTi, W, Mo等の高融点金属とSiとの化合物、即ちシリサイド化合物でもよい。

【0068】第3実施形態

本実施形態は、いわゆるボーダレス配線構造における接触面積の低下防止をサイドウォールを用いて達成する半導体装置についてである。図7および図8は、本実施形態に係る半導体装置の構造、及び製造方法を示す断面図である。

【0069】図8(e)に示すように、半導体基板（又は下層配線層）40上に成膜された層間絶縁層42内に、例えばTi/TiN等の密着メタルを介在させたタンゲステン(W)等のプラグ48が形成され、層間絶縁層42上には、配線層がプラグ48と接続したかたちで配置されている。本発明の半導体装置では配線層の構成に特徴があり、少なくとも主配線金属層52と、プラグ48との間に介在し主配線金属層52より大きなバリアメタルとから配線層が構成されている。本実施形態におけるバリアメタル50は、主配線金属層52の周囲に一回り大きくはみ出している。また、主配線金属層52より周囲にはみ出したバリアメタル50上で主配線金属層52の側壁に接して、絶縁物からなるサイドウォール58が設けられている。本実施形態では、その他、主配線

金属層52上に、同じ面積でTiN等からなるキャップメタル54を有する。配線層上には、特に図示しないが、必要に応じ更に層間絶縁層を介して上層配線層が形成されている。

【0070】このような構成の半導体装置では、配線層が例えばフォトリソグラフィの解像限界で細く形成され、その形成時にアライメントずれが生じた場合であっても、主配線金属層52より一回り大きくバリアメタル50が形成されていることから、プラグ48との接触面積が必要量確保される。このため、フォトリソグラフィによるパターンニング時のハレーション、配線加工時のサイドエッティング、或いは後処理におけるバリアメタルの溶出等があっても、コンタクト抵抗の急激な増大またはコンタクト抵抗値の変動が有効に抑えられ、良好なコンタクト特性が得られる。また、コンタクトの信頼性も高い。

【0071】つぎに、このような構成の半導体装置の製造方法について、図7および図8に沿って説明する。

【0072】図7(a)では、用意した半導体基板（又は既に形成されている導体配線）40上に層間絶縁層42を成膜した後、層間絶縁層42にプラグ形成のためのコンタクト孔42aを形成する。次いで、図7(b)に示すように、層間絶縁層42の表面とコンタクト孔42aによる半導体基板40の表出面を覆う全面に、例えばマグネトロンスパッタリング法により、薄い密着メタル44（例えば、Ti/TiN膜を30nm/70nmほど）で成膜する。また、ランプアニーリングを施した後、熱CVD法により主配線金属層46（例えば、W膜を600nmほど）全面に成膜する。これらの成膜およびアニーリング条件に限定はないが、一例を次表に示す。

【0073】

【表10】・密着層メタルのスパッタリング：

Ti (導入ガス: Ar=35sccm、温度: 300°C、圧力: 0.52Pa、RFパワー: 8kW)

TiN (導入ガス: N₂/Ar=42sccm/21sccm、温度: 300°C、圧力: 0.78Pa、RFパワー: 6kW)

・ランプアニーリング: (温度: 650 °C, 導入ガス: N₂ (1atm)、時間: 30sec)

【0074】続く図7(c)では、全面異方性エッティングによりW膜46および密着メタル44の上部を除去し、プラグ48をコンタクト孔42a内に埋め込まれたかたちで分離形成する。このエッティング条件に限定はなく、例えば先の第2実施形態の【表7】における「埋め込みプラグ分離形成」と同じ条件を用い得る。

【0075】次いで、図7(d)に示すように、配線層となる膜をマグネトロンスパッタリング法により全面に

成膜する。この配線層となる膜は、下層からバリアメタル50（例えば、Ti/TiN=100nm/20nm）、主配線金属膜52（例えば、Al-0.5%Cu等のAl系合金膜：500nm）、キャップメタル54（例えば、TiN：25nm）の3層膜構造とする。これらの成膜条件に特に限定はなく、例えば先の第2実施形態の〔表8〕における「配線層となる膜の成膜」と同じ条件を用い得る。

【0076】その後、図8(e)に示すように、キャップメタル54上にフォトレジストパターン56を形成し、第1の異方性エッチングにより下地のキャップメタル54および主配線金属膜52をパターンニングする。第1の異方性エッチングは、図8(f)に示すように、バリアメタル50が表出したところで停止させ、続いてCVD法によりサイドウォールとなる膜を（例えば、酸化シリコン膜58aを50nmほど）全面に成膜する。これら第1の異方性エッチングおよび成膜条件に特に限定はないが、一例を次表に示す。

【0077】

【表11】・配線層形成における第1の異方性エッチング：RIE（導入ガス：BCl₃/Cl₂=80sccm/120sccm、圧力：667mPa、マイクロ波電流：350mA、RFパワー：120W）

・サイドウォールとなるSiO₂膜の成膜：プラズマCVD法（導入ガス（TEOS:800sccm, O₂:600sccm）、基板温度：400°C、圧力：1133.2Pa、RFパワー：700W）

【0078】そして、図8(h)に示すように、異方性エッチングを全面に施してサイドウォール58を形成し、サイドウォール58をエッチングマスクとして配線層形成における第2の異方性エッチングを行う。これにより、バリアメタル50が主配線金属層54より一回り大きくパターンニングされる。これらの異方性エッチング条件に限定はないが、一例を次表に示す。

【0079】

【表12】・サイドウォール形成における異方性エッチング：RIE（導入ガス：CHF₃=50sccm、圧力：2.7Pa、RFパワー：500W）

・配線層形成における第2の異方性エッチング：RIE（導入ガス：BCl₃/Cl₂=80sccm/120sccm、圧力：667mPa、マイクロ波電流：350mA、RFパワー：120W）

【0080】その後は、特に図示しないが、必要に応じて層間絶縁層を介して第2層目以降の配線層を形成し、最後にオーバーコート成膜およびパッド窓開け工程を経て、当該半導体装置を完成させる。

【0081】なお、上記説明では、サイドウォールとなる膜58aはSiO₂膜としたが、他の絶縁膜、例えばシリコン窒化膜、シリコン酸化膜を熱窒化して得られるシリコン酸化窒化膜であってもよい。また、導電膜によりサイドウォールを構成することも可能であるが、線間ショートによる歩留り低下の懸念がある場合には、上記

の如く絶縁性サイドウォールとするのが望ましい。バリアメタル50の主配線金属層52からはみ出し量は任意であるが、一般に、30nm以上とするのが好ましい。バリアメタル50の膜構造は、チタン(Ti)単層、TiN単層、その他のTi系合金、タンクステン(W)単層、W系合金、タンタルアルミニウム、若しくはこれらの積層構造でもよい。また、プラグ48および主配線金属層52についても、W系合金、アルミニウム系合金、若しくは銅系合金等の何れかへの変更も可能である。

【0082】以上述べてきた本実施形態の製法では、サイドウォール形成工程（絶縁膜の成膜と異方性エッチング）を配線加工の途中に挿入するだけでよく、工程が簡単である。主配線金属層52からバリアメタル50がはみ出す量は、プラグ48に対する配線層のアライメント精度を考慮して、サイドウォールとなる膜58aの膜厚を変えることにより調整できる。したがって、本製法では、プラグ48と配線層の接触面積を必要な一定量以上確保することが容易である。

20 【0083】第4実施形態

本実施形態は、いわゆるボーダレス配線構造における接触面積の低下防止を合金化を用いて達成する半導体装置についてである。図9は、本実施形態に係る半導体装置の構造、及び製造方法を示す断面図である。

【0084】図9(1)中、符号40は半導体基板（又は下層配線層）、42は層間絶縁層、48はプラグ48、52は主配線金属層、54はキャップメタルであり、これらの構成は、前記第3実施形態と同様である。本実施形態におけるバリアメタル60は、プラグ48側にのみ主配線金属層52からはみ出しており、このはみ出し部分を含めプラグ48上に位置するバリアメタル部分は、下地のプラグ48との反応（合金化）層60aとなっている。本実施形態では、プラグ48とバリアメタル60は、互いに反応して反応層60aが形成される材料に限定される。例えば、バリアメタル60を第3実施形態と同様にTi系材料とすれば、プラグ48をアルミニウム等から構成する必要がある。なお、特に図示しないが、このような構成の配線層上には、第3実施形態と同様に必要に応じて更に層間絶縁層を介して上層配線層

30 52 が形成されている。

【0085】このような構成の半導体装置では、配線層が例えばフォトリソグラフィの解像限界で細く形成され、その形成時にアライメントずれが生じた場合であっても、プラグ48上に必ず反応層60aが形成されていることから、プラグ48との接触面積が必要量確保される。このため、第3実施形態と同様、フォトリソグラフィによるパターンニング時のハレーション等があつても、コンタクト抵抗の急激な増大またはコンタクト抵抗値の変動が有効に抑えられ、良好なコンタクト特性および高い信頼性が得られる。

40 50

【0086】つぎに、このような構成の半導体装置の製造方法について説明するが、図9に先立つ工程は、プラグ48をアルミニウム合金で構成する以外は前記第3実施形態と同様であり、図7がそのまま適用される。共通な工程は同一符号を付し、ここでの説明は省略する。なお、次表に、アルミニウム膜の成膜（膜厚：500nm、図7（b）参照）とプラグ48を分離形成する際（図7（c）参照）のエッチングとの条件例を示す。

【0087】

【表13】・プラグとなるアルミニウム合金膜の成膜：スパッタリング（導入ガス：Ar=65sccm、圧力：0.52Pa、RFパワー：15kW、温度：300°C）
・プラグの分離形成エッチング：RIE（導入ガス：BC₁₃/Cl₂=100sccm/150sccm、圧力：1Pa、マイクロ波電流：400mA、RFパワー：110W）

【0088】図9（i）に示す工程では、配線層となる3層膜、即ちバリアメタル60、主配線金属膜52およびキャップメタル54を成膜した後に、熱処理によりバリアメタル60にチタンとアルミニウムの反応層60aを、例えば次表に示す条件を用いて形成する。

【0089】

【表14】反応化アニール：縦型拡散炉（温度：450°C、導入ガス：N₂、時間：30min）

【0090】つぎに、図9（j）に示すように、キャップメタル54上にフォトレジストパターン56を形成し、異方性エッチングにより下地のキャップメタル54および主配線金属膜52をパターンニングする。異方性エッチングは、バリアメタル60が表出したところで停止させ、続いて、表出した未反応なバリアメタル部分をエッチングにより除去する。これらのエッチング条件に特に限定はないが、一例を次表に示す。

【0091】

【表15】・配線層形成における異方性エッチング：RIE（導入ガス：BC₁₃/Cl₂=80sccm/120sccm、圧力：667mPa、マイクロ波電流：350mA、RFパワー：120W）
・未反応なバリアメタル部分の除去：希フッ酸溶液（HF+H₂O）によるウエットエッチング

【0092】これにより、図9（1）に示すように、ほぼプラグ上面全域に接触するバリアメタル形状を得ることができる。その後は、特に図示しないが、必要に応じて層間絶縁層を介して第2層目以降の配線層を形成し、最後にオーバーコート成膜およびパッド窓開け工程を経て、当該半導体装置を完成させる。

【0093】なお、上記説明では、アルミニウム合金（プラグ48）とチタン（バリアメタル60）との反応を用いたが、アルミニウム系合金、シリコン、チタン系合金、銅系合金、その他、エッチング選択比がとれる反応層を形成し得る材料の組み合わせを種々選択できる。反応層60a形成法は、バリアメタル60の成膜を高温スパッタリングで行い成膜と同時に形成してもよく、ま

た、配線層の加工をバリアメタル60が表出した段階で停止した後、イオンビームミシキング法で反応層60aを形成することもできる。また、未反応層の除去は、反応層60aとの選択比がとれるのであればドライエッチングで行ってもよい。

【0094】本実施形態の製法では、反応層60aを形成する工程が必要であるが、フォトマスクの追加がなく、工程が簡単で低コストである。反応層60aをバリアメタル60の成膜と同時に形成する場合は、更に工程10が簡単である。また、プラグ48の上面ほぼ全域に必ず反応層60aが形成されることから、プラグ48と配線層の接触面積が常に一定であり、コンタクト特性のバラツキが極めて小さいといった利点がある。

【0095】

【発明の効果】スタック型の接続プラグに関する本発明の半導体装置及びその製造方法によれば、周辺の配線層の配置の自由度を制限しないで、下層プラグに対する上層プラグの接触面積を必要量確保、或いは増大したスタック型の接続プラグを有する半導体装置及びその製造方法を提供することができる。これにより、スタック型の接続プラグを有する半導体装置の特性（コンタクト抵抗値）改善及び信頼性の向上を図ることができ、ひいては歩留り向上、コスト削減に本発明が寄与する。

【0096】また、いわゆるボーダレス配線構造に関する本発明の半導体装置及びその製造方法によれば、プラグと配線層との接触面積を必要量確保することができ、これにより両者の接触抵抗を低減しバラツキを抑えることが可能であり、ボーダレス配線構造を有する半導体装置のコンタクト特性および信頼性が向上する。その際、30殆ど工程増とならず追加フォトマスクもないことから、大幅な製造コストの増加がなく、むしろ、歩留り向上によってコスト削減が可能である。

【図面の簡単な説明】

【図1】本発明の第1実施形態に係る半導体装置の構造、及び製造方法を示す断面図である。

【図2】選択成長層を設けたことによる効果を示す断面図である。

【図3】上部コンタクト開孔時のオーバーエッチングの効果を示す断面図である。

【図4】本発明の第2実施形態に係る半導体装置の製造方法を示す断面図である。

【図5】図4に続く半導体装置の製造方法と、第2実施形態に係る半導体装置の構造を示す断面図である。

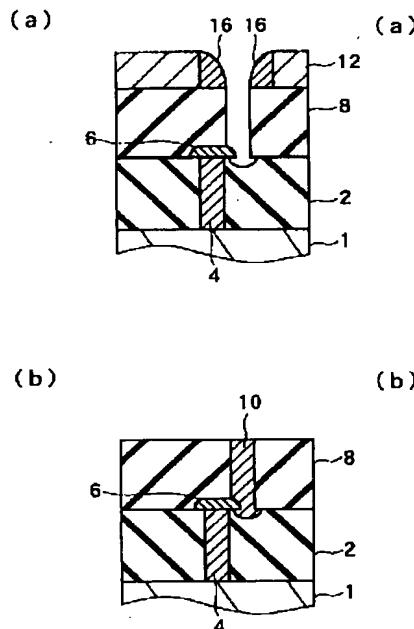
【図6】上部コンタクト開孔時のオーバーエッチングの効果を示す断面図である。

【図7】本発明の第3実施形態に係る半導体装置の製造方法を示す断面図である。

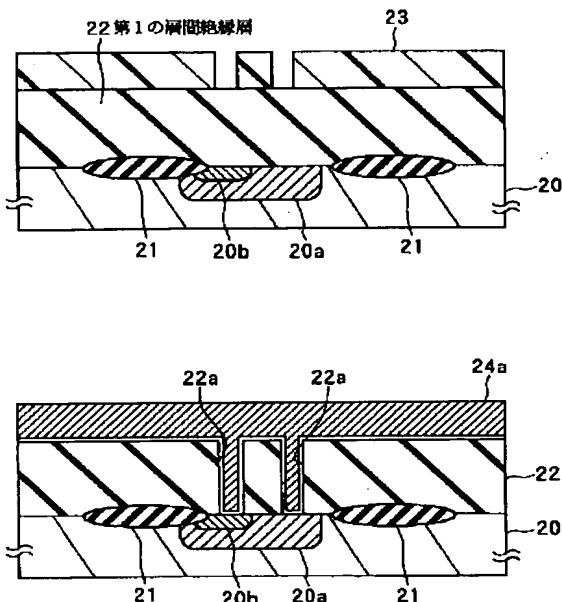
【図8】図7に続く半導体装置の製造方法と、第3実施形態に係る半導体装置の構造を示す断面図である。

【図9】本発明の第4実施形態に係る半導体装置の製造

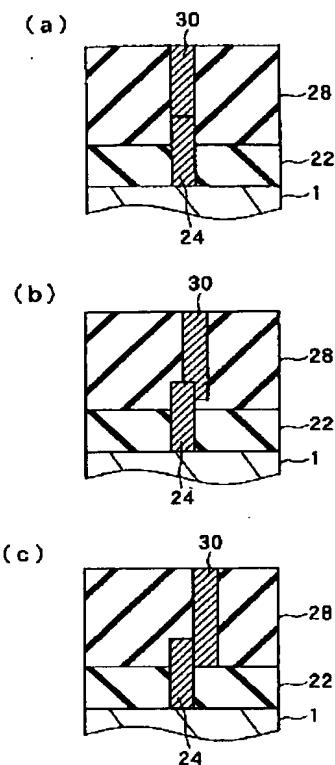
【図3】



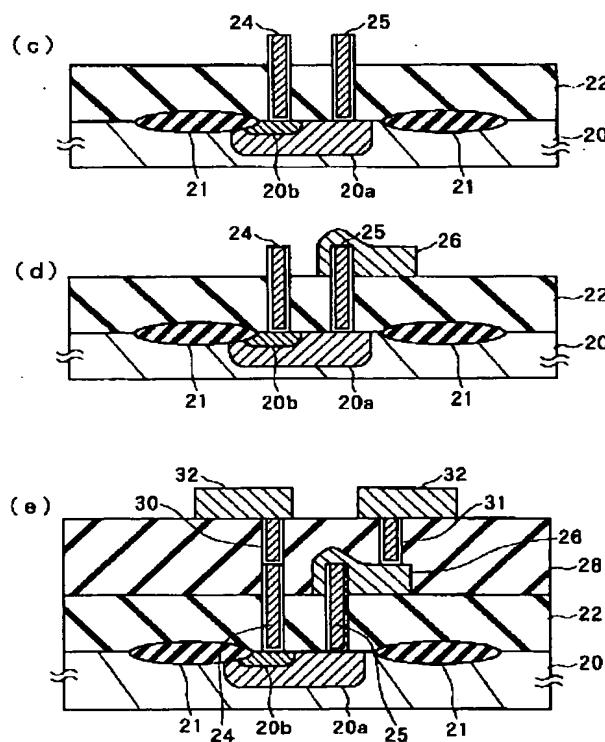
【図4】



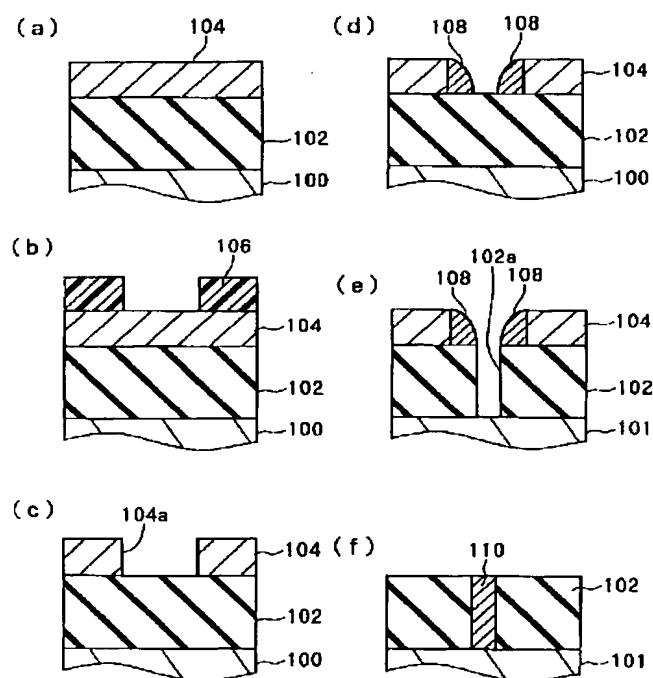
【図6】



【図5】



【図10】



方法の途中（反応層の形成）からと、本実施形態に係る半導体装置の構造を示す断面図である。

【図10】従来の微細コンタクト孔の形成方法を示す半導体装置の要部断面図である。

【図11】従来技術の問題点として、従来のスタック型接続プラグにおける合わせずれを示す説明図である。

【図12】中間パッド付きのスタック型接続プラグを周囲の配線層を介した接続部分とともに例示する、従来の半導体装置の要部断面図である。

【図13】中間パッドとして形成した孤立パターンのフォトリソグラフィ上の解像限界を説明する図である。

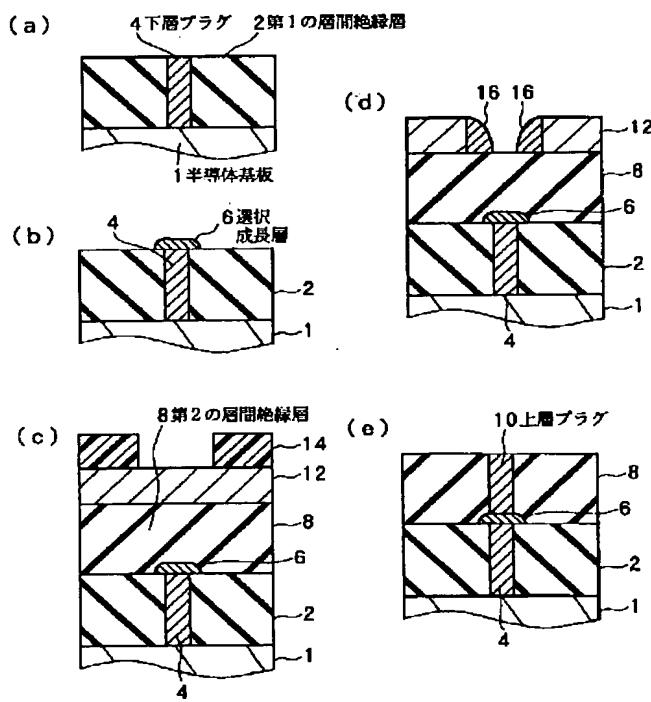
【図14】従来のボーダレス配線構造及びその製造方法を示す断面図である。

【符号の説明】

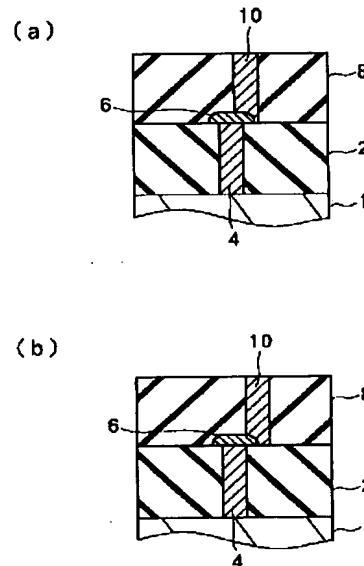
1, 20, 40…半導体基板、2, 22…第1の層間絶縁層、4, 24…下層プラグ、6…選択成長層、8, 28…第2の層間絶縁層、10, 30…上層プラグ、26…配線層、42…層間絶縁層、48…プラグ、50, 60…バリアメタル、52…主配線金属層、54…キャップメタル、56…レジストパターン、58…サイドウォール、60a…反応層。

10

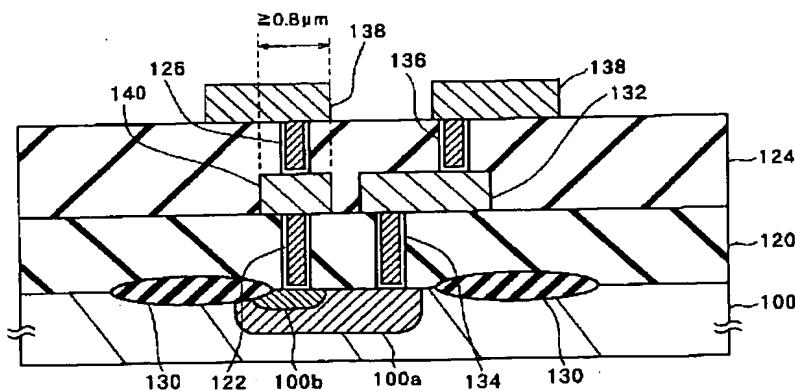
【図1】



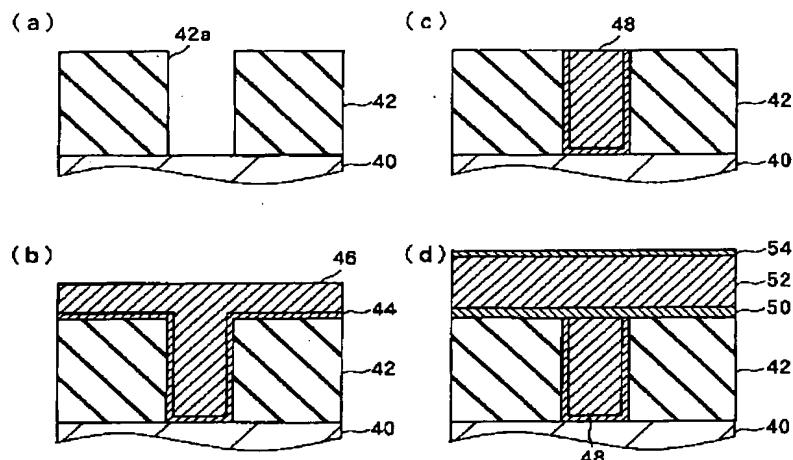
【図2】



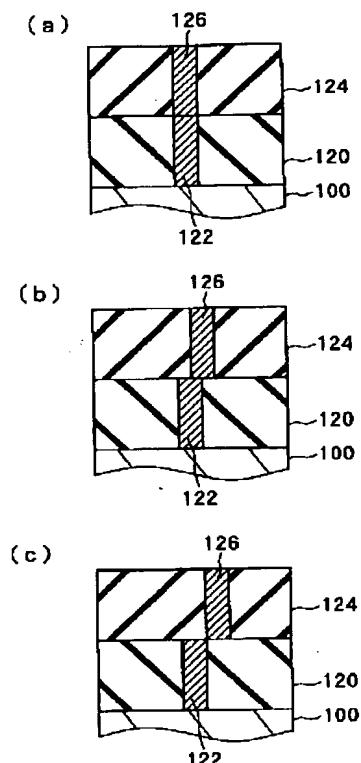
【図12】



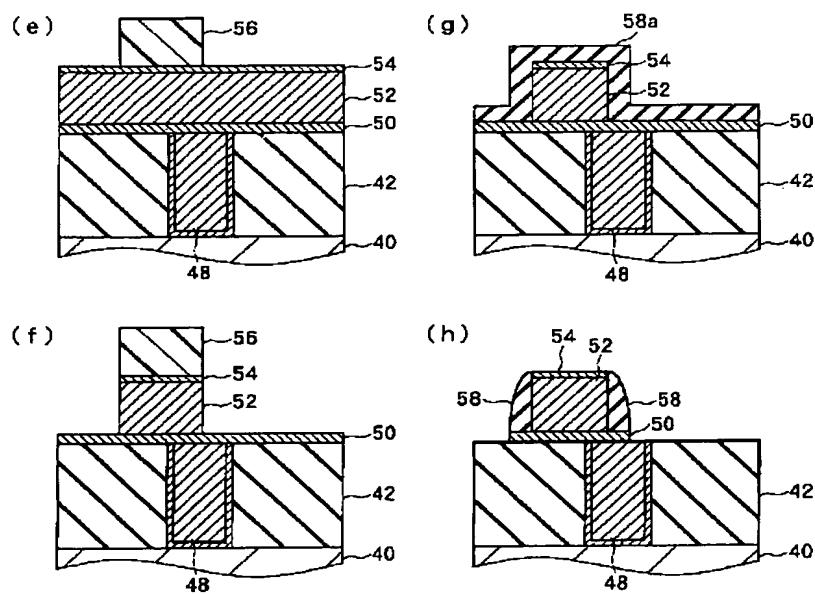
【図7】



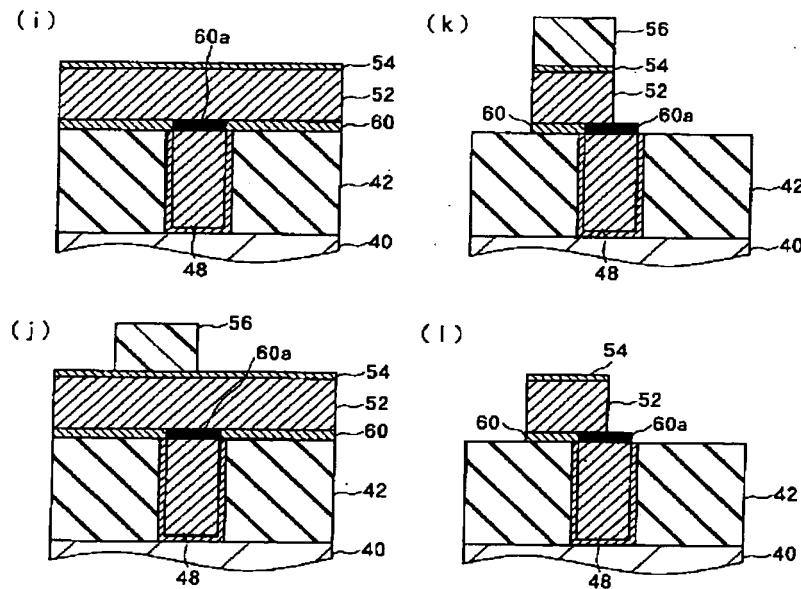
【図11】



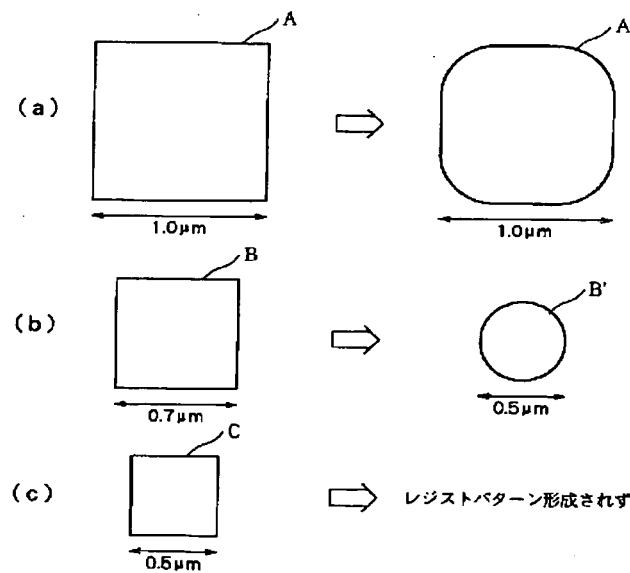
【図8】



【図9】



【図13】



【図14】

